

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154733

(43) 公開日 平成11年(1999) 6月8日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

H 0 2 H 7/20

F

H 0 2 H 7/20

H 0 5 F 3/02

L

H 0 5 F 3/02

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号

特願平9-319721

(22) 出願日

平成9年(1997)11月20日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 降矢 安成

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

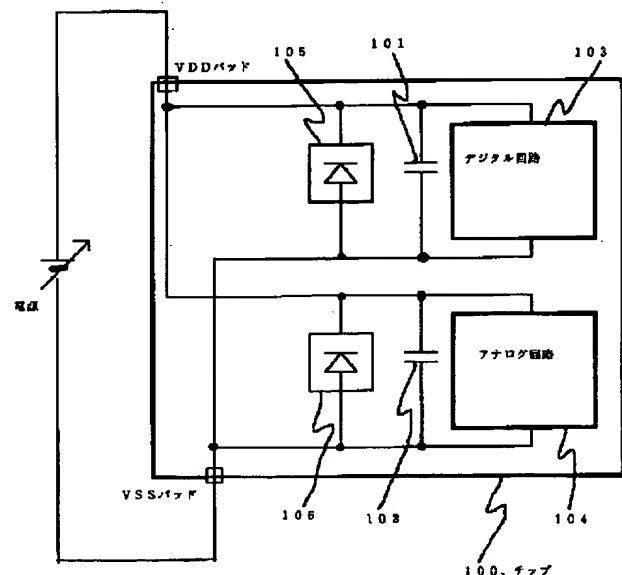
(54) 【発明の名称】 半導体集積装置

(57) 【要約】

【課題】 高周波領域においても安定した回路動作を実現でき電源ノイズに強い半導体集積装置を提供すること。

【解決手段】 電源間に内蔵バイパスコンデンサと、その近傍に静電気保護素子を設ける。バイパスコンデンサはトランジスタゲート膜または配線層間膜で形成する。静電気保護素子はPまたはN型GCD、もしくはNPNまたはPNPバイポーラトランジスタ、もしくはPNダイオードにより形成する。

【効果】 ある回路で発生した電源ノイズを他の回路に伝搬させにくい、また他の回路からの電源ノイズを受けにくい。トランジスタのゲート膜が薄くなっても適応可能。ウェルの電位安定性向上ができる。I/Oセルのリング電源ライン強化ができる。チップ全体の静電気耐量を向上できる。



## 【特許請求の範囲】

【請求項1】VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS (PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS (NOS) ゲート膜で構成され、前記静電気保護素子はゲート及びソースをVDDに、ドレインをVSSに接続されたPMOSゲートコントロールダイオード (以下PGCD)、またはゲート及びソースをVSSに、ドレインをVDDに接続されたNMOSゲートコントロールダイオード (以下NGCD) で構成されたことを特徴とする半導体集積装置。

【請求項2】VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS (PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS (NOS) ゲート膜で構成され、前記静電気保護素子はベース及びエミッタをVDDに、コレクタをVSSに接続されたPNPバイポーラトランジスタ、またはベース及びエミッタをVSSに、コレクタをVDDに接続されたNPNバイポーラトランジスタで構成されたことを特徴とする半導体集積装置。

【請求項3】VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS (PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS (NOS) ゲート膜で構成され、前記静電気保護素子はPウェル内に形成された高濃度P型拡散 (P+ストッパー) とNウェル内に形成された高濃度N型拡散 (N+ストッパー) をつきあわせて作られるいわゆるPNダイオードで構成されたことを特徴とする半導体集積装置。

【請求項4】VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量は第一の金属配線層と第2の金属配線層の層間膜または第1の多結晶シリコンと第2の多結晶シリコンの層間膜または多結晶シリコンと金属配線層の層間膜で形成され、前記静電気保護素子はゲート及びソースをVDDに、ドレインをVSSに接続されたPMOSゲートコ

ントロールダイオード (以下PGCD)、またはゲート及びソースをVSSに、ドレインをVDDに接続されたNMOSゲートコントロールダイオード (以下NGCD) で構成されたことを特徴とする半導体集積装置。

【請求項5】VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量は第一の金属配線層と第2の金属配線層の層間膜または第1の多結晶シリコンと第2の多結晶シリコンの層間膜または多結晶シリコンと金属配線層の層間膜で形成され、前記静電気保護素子はベース及びエミッタをVDDに、コレクタをVSSに接続されたPNPバイポーラトランジスタ、またはベース及びエミッタをVSSに、コレクタをVDDに接続されたNPNバイポーラトランジスタで構成されたことを特徴とする半導体集積装置。

【請求項6】VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量は第一の金属配線層と第2の金属配線層の層間膜または第1の多結晶シリコンと第2の多結晶シリコンの層間膜または多結晶シリコンと金属配線層の層間膜で形成され、前記静電気保護素子はPウェル内に形成された高濃度P型拡散 (P+ストッパー) とNウェル内に形成された高濃度N型拡散 (N+ストッパー) をつきあわせて作られるいわゆるPNダイオードで構成されたことを特徴とする半導体集積装置。

【請求項7】容量の絶縁膜破壊電圧よ静電気保護素子のブレイクダウン電圧が低い事を特徴とする請求項1または請求項2または請求項3または請求項4または請求項5または請求項6記載の半導体集積装置。

【請求項8】容量及び静電気保護素子は半導体集積装置のI/Oセル用電源ラインに接続されかつI/Oセル領域に配置されたことを特徴とする請求項1または請求項2または請求項3または請求項4または請求項5または請求項6記載の半導体集積装置。

【請求項9】容量及び静電気保護素子は半導体集積装置のI/Oセル領域で囲まれた内側にある内部用電源ラインに接続されかつ内部領域に配置されたことを特徴とする請求項1または請求項2または請求項3または請求項4または請求項5または請求項6記載の半導体集積装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高周波用半導体集積装置の電源ノイズ除去の一つとして有効な内蔵バイパスコンデンサの形成方法に関する。

【0002】

【従来の技術】従来、半導体内部で発生した電源ノイズを除去するためには、半導体集積装置の外部の直近の電源間(VDD-VSS)にバイパスコンデンサを挿入していた。

【0003】図2は従来の電源ノイズ除去用外部バイパスコンデンサの挿入位置である。

【0004】

【発明が解決しようとする課題】しかしながら半導体集積装置の動作周波数が20MHzを越えるようになると、半導体集積装置の外部に付けられたバイパスコンデンサでは、半導体集積装置の電源ピンとバイパスコンデンサまでの距離(インピーダンス)が無視できなくなり、半導体集積装置内で発生する電源ノイズを十分除去できないという問題点を有していた。

【0005】よって図2の従来の方法の様に、半導体集積装置内200の1つの電源ピンペアからデジタル回路203とアナログ回路204の電源供給をする場合、デジタル回路203で発生した電源ノイズ205が外部のバイパスコンデンサへ到達して平滑化する前にアナログ回路204へ回り込み、アナログ回路の動作へ悪影響を及ぼすという問題点があった。

【0006】そこで半導体集積装置内において電源間にバイパスコンデンサを単純に挿入すると電源ノイズを除去することはできるものの、電源間に注入された静電気によりコンデンサの電極間の膜が破壊されるという危険があった。

【0007】図3は従来の電源ノイズ除去用チップ内蔵バイパスコンデンサの挿入位置を示す回路図であり、静電気エネルギー310がVDDラインを通して注入された場合内蔵バイパスコンデンサ301が破壊される例を示している。

【0008】

【課題を解決するための手段】本発明の半導体集積装置は、VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はPチャンネルMOS(PMOS)またはNチャンネルMOS(NOS)ゲート膜で構成され、前記静電気保護素子はゲート及びソースをVDDに、ドレインをVSSに接続されたPMOSゲートコントロールダイオード(以下PGCD)、またはゲート及びソースをVSSに、ドレインをVDDに接続されたNMOSゲートコントロールダイオード(以下NGCD)で構成されたことを特徴とする。

【0009】また本発明の半導体集積装置は、VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSS

にドレイン及びソースをVDDに接続されたPチャンネルMOS(PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS(NOS)ゲート膜で構成され、前記静電気保護素子はベース及びエミッタをVDDに、コレクタをVSSに接続されたPNPバイポーラトランジスタ、またはベース及びエミッタをVSSに、コレクタをVDDに接続されたNPNバイポーラトランジスタで構成されたことを特徴とする。

10 【0010】また本発明の半導体集積装置は、VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量はゲートをVSSにドレイン及びソースをVDDに接続されたPチャンネルMOS(PMOS)、またはゲートをVDDにドレイン及びソースをVSSに接続されたNチャンネルMOS(NOS)ゲート膜で構成され、前記静電気保護素子はPウェル内に形成された高濃度P型拡散(P+ストッパー)とNウェル内に形成された高濃度N型拡散(N+ストッパー)をつきあわせて作られるいわゆるPNダイオードで構成されたことを特徴とする。

20 【0011】また本発明の半導体集積装置は、VDD-VSS電源間に接続された容量と、同じく電源間に接続された静電気保護素子を有する半導体において、前記容量と前記静電気保護素子は同一の電源ラインから分岐しかつ互いに近傍に配置され、前記容量は第一の金属配線層と第2の金属配線層の層間膜または第1の多結晶シリコンと第2の多結晶シリコンの層間膜または多結晶シリコンと金属配線層の層間膜で形成され、前記静電気保護素子はゲート及びソースをVDDに、ドレインをVSSに接続されたPMOSゲートコントロールダイオード(以下PGCD)、またはゲート及びソースをVSSに、ドレインをVDDに接続されたNMOSゲートコントロールダイオード(以下NGCD)で構成されたことを特徴とする。

30 【0012】

【作用】図1は本発明の半導体集積装置の概念図である。

40 【0013】電源間に挿入されたバイパスコンデンサ101、102はそれぞれデジタル回路103、アナログ回路104の近傍に形成され、デジタル回路103で発生する電源ノイズを除去すると共にアナログ回路104に注入される電源ノイズを除去する役目を果たしている。

50 【0014】そしてバイパスコンデンサ101、102の近傍に配置された静電気保護素PNダイオード105、106は、バイパスコンデンサの絶縁膜破壊電圧より、PNダイオードの逆方向ブレイクダウン電圧が低く設計されている。ここで静電気エネルギーが電源ライン

を通して注入された場合、バイパスコンデンサ 101、102 と PN ダイオードに同電位が印可されるが、バイパスコンデンサを破壊に至らしめる前に PN ダイオードを介して静電気エネルギーが放電される。よってバイパスコンデンサ 101、102 は静電気から保護されるのである。

#### 【0015】

【発明の実施の形態】以下に本発明の詳細な実施例を図面を参照して具体的に説明する。

【0016】図 4 は PMOS ゲートコントロールダイオード (PGCD) 静電気保護素子と PMOS ゲート膜バイパスコンデンサの組み合わせによる本発明の第 1 例回路図である。バイパスコンデンサ 403 はアナログ回路 400 の電源を安定化させるためのものである。そして静電気保護素子 404 は先のバイパスコンデンサ 403 を静電気から守るするためのものである。

【0017】バイパスコンデンサ 403 は PMOS トランジスタのゲート膜で構成され、ゲートを VSS にそしてソース、ドレイン、サブストレートを VDD に接続されている。つまり VDD と VSS の間にバイパスコンデンサが形成されることになる。静電気保護素子 404 は PMOS トランジスタで構成され、ゲート及びソース、サブストレートを VDD に、ドレインを VSS に接続されている。よって通常はオフ状態にあるが、ひとたび静電気エネルギーが印可されドレインとソースの間に通常 20V 程度以上の高電圧がかかるトランジスタのブレークダウン現象により VDD から VSS へ静電気エネルギーが放電される。よってバイパスコンデンサ 403 には静電気保護素子 404 のブレークダウン電圧以上の電位はかからないので保護されるのである。ここでは静電気保護素子及びバイパスコンデンサとして PMOS トランジスタの例を示したが、NMOS トランジスタでも構わない。

【0018】図 5 は NMOS ゲートコントロールダイオード (NGCD) 静電気保護素子と NMOS ゲート膜バイパスコンデンサの組み合わせによる本発明の第 2 例回路図である。また静電気保護素子として PMOS、バイパスコンデンサとして NMOS の組み合わせでも良い。同じく電気保護素子として NMOS、バイパスコンデンサとして PMOS の組み合わせでももちろん良い。

【0019】図 1、図 2 ではアナログ回路へ回り込んでくる電源ラインノイズをプロテクトすることが目的であったが、反対にノイズを発生しやすいデジタル回路の電源ノイズが流出しないような目的にも本発明は有効である。

【0020】図 6 は本発明の第 3 例の回路図で、デジタルノイズの例として I/O セルの出力ドライバーを掲げている。半導体集積装置チップの周辺部には通常入出力セル専用領域 (I/O セル領域) がリング状に配置されており、内部領域用の電源と分けるのが理想である。と

ころがピン数の制限などで内部用電源と I/O セル用電源を共通の VDD パッド 605 及び VSS パッド 606 から分岐して使用しなければならない場合がある。そこでパッドからみて分岐後は I/O セル用 VDD 600 と I/O セル用 VSS 601 の電源ライン系と、内部用 VDD 602 と内部用 VSS 603 の電源ライン系を共通インピーダンスを持たせないように配置するのが通例である。

【0021】図 6 ではチップの右上コーナー部の電源ラインを示している。バイパスコンデンサ 608、613 は先の I/O セル用 VDD 600 と I/O セル用 VSS 601 の間に接続されている。静電気保護素子 607 は同じく I/O セル用 VDD、VSS の間に接続されかつバイパスコンデンサ 608 の近傍に配置されている。またもう 1 つの静電気保護素子 609 も同様に I/O セル用 VDD、VSS の間に接続されかつバイパスコンデンサ 613 の近傍に配置されている。静電気保護素子及びバイパスコンデンサはリング状電源にいくつあっても良い。出力ドライバーセル 610 も同じく I/O セル電源ラインに接続されており、内部からの出力信号 611 を受けてスイッチングし、出力パッド 612 から最終出力信号がでる。このとき I/O 用 VDD 600 及び VSS 601 にスイッチングノイズがのるが、出力ドライバー 610 の近くに配置されたバイパスコンデンサ 613 によって電源ノイズは緩和され、さらにバイパスコンデンサ 608 によってさらに緩和されていく。よって内部用 VDD 602、内部用 VSS 603 には出力ドライバー 610 から発生する電源ノイズのまわりこみを緩和することができるのである。

【0022】ここでは静電気保護素子として PGCD の例をのせているが、もちろん NGCD でも構わないし、PGCD と NGCD を並列に使用しても良い。バイパスコンデンサも PMOS でも NMOS でもまた並列に使用しても、その目的はなんら変わることはない。また静電気保護素子としての GCD とバイパスコンデンサの組み合わせは、ゲートアレイ等のように I/O 領域には出力ドライバーを形成するためのもしくは入出力ピンの静電気保護のためにトランジスタがあらかじめ用意されている場合が多く未使用のパッドセル等で余っているトランジスタを静電気保護素子として有効利用できるという利点もある。さらにこれらの静電気保護素子は電源間に接続されているので該電源パッド間にかかる静電気に対しても内部トランジスタの破壊を防ぐ効果がある。

【0023】次に静電気保護素子としてバイポーラトランジスタを使用した例を説明する。

【0024】図 7 は NPN バイポーラトランジスタ 静電気保護素子と PMOS ゲート膜バイパスコンデンサの組み合わせによる本発明の第 4 例回路図である。バイパスコンデンサ 703 はアナログ回路の電源安定化のため、静電気保護素子 704 はバイパスコンデンサ 703

の静電気保護のために存在する。バイパスコンデンサ703はゲートをVSSに、ソース、ドレイン、サブストレートをVDDに接続されたPMOSトランジスタのゲート膜で構成される。静電気保護素子704はエミッタをVDDに、コレクタ及びベースをVSSに接続したNPN型バイポーラトランジスタである。一般的にバイポーラトランジスタのブレイクダウン電圧はGCDトランジスタのそれより幾分低くなるので、バイパスコンデンサの保護の目的としてGCDより良好であるという効果がある。よってバイポーラトランジスタの静電気保護素子とゲート膜によるバイパスコンデンサの組み合わせは、半導体集積装置がディープサブミクロンのデザインルールヘシフトして、ゲート膜が薄くなっても適応できるという格段の効果がある。また薄いゲート膜を使うことでより大容量のバイパスコンデンサを得ることができ、ノイズ除去の効果が向上する。もちろんバイポーラトランジスタとしてはPNP型でも良い。ただしPNP型の場合ベースをVDD側へ接続して使用する。またPNP型とNPN型を並列に使用しても良い。さらに言うまでもないがバイパスコンデンサとしてはNMOSTランジスタのゲート膜でも良い。

【0025】図8はPNダイオード静電気保護素子とNMOSゲート膜バイパスコンデンサの組み合わせによる本発明の第5例回路図である。バイパスコンデンサ803はアナログ回路の電源安定化のため、静電気保護素子804はバイパスコンデンサ803の静電気保護のために存在する。バイパスコンデンサ803はゲートをVDDに、ソース、ドレイン、サブストレートをVSSに接続されたNMOSTランジスタのゲート膜で構成される。静電気保護素子804は高濃度P+拡散（以下P+ストッパ）と高濃度N+拡散（以下N+ストッパ）をつきあわせて形成され、P+ストッパ側をVSSへ、N+ストッパ側をVDDへ接続されており、さらに前記NMOSTランジスタの周囲を囲んでいる。

【0026】図9はこの図8のPNダイオードのレイアウト断面図である。

【0027】ドレイン・ソースとなるN+拡散910と911と多結晶シリコンゲート904はNMOSTランジスタでありゲート膜によりバイパスコンデンサを形成している。P+ストッパ912、913がトランジスタの周囲を取り囲み、P-WELL917の電位をVSSにしている。またP-WELLの周囲はN-WELL916、918であり、N+ストッパ915、914によりVDD電位を与えられている。このときP-WELLとN-WELLの境界にはPNダイオード902、903が形成される。

【0028】このようなPNダイオード静電気保護素子とゲート膜バイパスコンデンサの組み合わせはトランジスタの周囲を完全にダイオードで包囲できるので、ゲート膜の保護がよりいっそう強力になるという独特の効果

をもたらす。さらにこの様なリング状のP+/N+ストッパはP-WELL及びN-WELLの電位を強力にし、トランジスタの高速動作を一層安定させるという格別の効果をもたらす。この例ではバイパスコンデンサとしてNMOSを説明したが、PMOSTランジスタのゲート膜でもバイパスコンデンサとしての効果は何らかのものではない。

【0029】これまでバイパスコンデンサとしてトランジスタのゲート膜を使う例を説明してきたが、異なる配線層による層間膜容量でも形成することができる。

【0030】図10は一般的な配線層間膜により容量を形成した場合の断面図である。

【0031】第1配線層1003と第2配線層1002が交差している部分の面積に比例してコンデンサ1004の値が決まる。第1配線層1003にはVSSライン1001によりVSS電位が与えられ、第2配線層1002にはVDDライン1000によりVDD電位が与えられる。もちろん第1配線層にVDD電位をそして第2配線層にVSSを与えても容量値は同じである。

【0032】第1配線層と第2配線層の材質の組み合わせとしては各々（下の層から）金属配線1層目と金属配線2層目、金属配線2層目と金属配線3層目、金属配線3層目と金属配線4層目、金属配線1層目と金属配線3層目、金属配線2層目と金属配線4層目、金属配線1層目と金属配線4層目等、あるいは、多結晶シリコン1層目と多結晶シリコン2層目、多結晶シリコン2層目と多結晶シリコン3層目、多結晶シリコン1層目と多結晶シリコン3層目等、さらには多結晶シリコン1層目と金属配線1層目、多結晶シリコン2層目と金属配線1層目、多結晶シリコン1層目と金属配線2層目等の多結晶シリコンと金属配線の組み合わせ、さらには、拡散層と金属配線層の組み合わせ等も可能である。

【0033】次にこの配線層によるバイパスコンデンサを応用した例について説明してゆく。

【0034】図11は本発明の配線層によるバイパスコンデンサとGCDによる静電気保護素子を組み合わせた第6例回路図である。細部の部品は省略しているが図6の例と同様I/Oセル領域がチップの周辺にリング状に配置されてる半導体集積装置の上辺を取り出したものである。I/O用電源ラインと内部用電源ラインは共通のVDDパッド1100とVSSパッド1101から分岐している。I/O用電源ラインは2層目金属配線層を使いやはりリング状に配置され、最外周がI/O用VDD1105、内側がI/O用VSS1107に割り当てられている。（図11では太い実線で2層目配線層を表している）また前記I/O用VDD1105の領域と重なる様に3層目金属配線層を使いI/O用VSS1104が配置され、この2つの層のクロスする領域でバイパスコンデンサ1を形成している。（図11では鎖線で3層目金属配線を表している）また同様に前記I/O用VSS

S1107の領域と重なる様に3層目金属配線層を使いI/O用VDD1106が配置され、この2つの層のクロスする領域でバイパスコンデンサ2を形成している。この2つのバイパスコンデンサ1, 2はどちらもVDD-VSS間に接続されていることになり、I/Oセルで発生したスイッチングノイズの緩和に効果がる。そしてPGCDによる静電気保護素子1108がやはりI/O用VDD1105とI/O用VSS1107の間に挿入され前記バイパスコンデンサ1, 2の静電気破壊を保護している。この静電気保護素子と配線層によるバイパスコンデンサの組み合わせはI/O電源を2重に使用するため電源インピーダンスをさげ高周波特性を向上させるという特別の効果も有する。さらにI/Oリング領域はチップの外周に沿って広く存在するため面積を広くとれ、大きなバイパスコンデンサの容量値を得られやすいという利点も有する。またここでは静電気保護素子としてPGCDをあげたが、これまで説明してきたNGCDやNPNバイポーラトランジスタ、PNPバイポーラトランジスタ、PNダイオード等でも同様の効果が得られる。

【0035】このように1組の電源パッドしか持たない半導体チップにおいても、I/O用電源と内部用電源を用意して、分岐後のラインにそれぞれバイパスコンデンサと静電気保護素子をもうけることにより、I/O領域と内部領域のノイズ分離が可能である。これによりアナログ回路へ他のデジタル回路やI/Oセルのスイッチングノイズが混入するのを防ぐことができる。

【0036】また電源パッドからみてI/O用電源ラインと内部用電源ラインが分岐する前に静電気保護素子を設けることにより、内部領域用とI/O領域用に個別に静電気保護素子を設けなくてもバイパスコンデンサの保護が可能であるので、内部領域の面積を増やさずに済む。

【0037】また本発明のバイパスコンデンサと静電気保護素子の組み合わせはノイズ除去という本来の主旨の他、半導体集積装置の静電気耐量を上げるという効果もある。

【0038】図12は本発明の静電気保護素子とバイパスコンデンサを組み合わせた半導体集積装置に外部から静電気エネルギーがかかった時の静電気モデル図である。静電気エネルギーのモデルにはEIAJやMILL等いくつかあるが、ここでは静電気電圧1200(V=400v)が静電気容量1201(C0=200pf)に蓄積された後、半導体チップ1204に印可された場合を示している。回路ブロックとは別にノイズ除去用に設けられた内蔵バイパスコンデンサ1202をC1=200pfとする。おおもとの静電気エネルギーは $Q=C0 \times V$ であるが、半導体チップに印可される時にはC1とC0の容量比に分割されるので、実質回路ブロック1203にかかる静電気エネルギーは $V \times (C0 / (C1 + C0)) = V \times (1/2)$ となり内蔵バイパスコンデ

ンサ1202が無い場合と比べて1/2になる。一方内蔵バイパスコンデンサ1202にかかる静電気エネルギーは $V \times 1/2$ であるが、静電気保護素子1208によって放電されるので破壊はおこらない。よって半導体チップ全体の静電気耐量はほぼ2倍にあがることになる。

【0039】そして追加するバイパスコンデンサの容量値を大きくするほど静電気耐量の向上が望める。

【0040】

【発明の効果】以上説明したように本発明の半導体集積装置はチップ内部で発生するデジタル回路やI/Oセルの電源ノイズが他の回路ブロックへ回り込むのを緩和することができ、また電源ノイズに敏感なアナログ回路等にたいして電源から回り込んでくるノイズを緩和することができるので、アナログ回路の特性向上及び高周波動作特性の安定化が得られ、電源ノイズに強い半導体集積装置を提供できる。

【0041】また本発明の半導体集積装置は個々の回路ブロック毎の電源ラインにバイパスコンデンサを配置できるので、チップ外部にバイパスコンデンサを付けるよりも低インピーダンスで回路ブロックとバイパスコンデンサを接続することができるので、高周波動作領域でもノイズ除去の効果が高い。

【0042】また静電気保護素子としてGCDを使う組み合わせでは、I/Oセル等で未使用のトランジスタを使うことができるので、搭載ゲートを有効に活用できる。

【0043】また静電気保護素子としてバイポーラトランジスタを内蔵バイパスコンデンサとしてトランジスタゲート膜を使う組み合わせでは、GCDやPNダイオードに比べてブレークダウン電圧を低くすることが可能で、ディーブサブミクロンでの薄いゲート膜トランジスタに対応でき、薄いゲート膜を使うことにより大きな容量値を得ることができるという特別な効果も得られる。

【0044】さらに静電気保護素子としてPNダイオードを、内蔵バイパスコンデンサとしてトランジスタゲート膜を使う組み合わせでは、トランジスタの周位をストッパーで囲むのでゲート膜の静電気保護がより強力になると共に、ウェルの電位をより安定化させることができるので、トランジスタ特性を安定化することができる。

【0045】さらに内蔵バイパスコンデンサに配線間容量を使う場合には、静電気保護素子の構造がGCDでもバイポーラトランジスタでもPNダイオードでも、I/Oセルのリング電源用配線層間により容量を構成できるので、電源ラインのいっそうの強化という格別な効果も得られる。

【0046】そして、内蔵バイパスコンデンサを付加することにより、元々の半導体集積装置の静電気耐量を向上させることができるという効果も得られる。

【図面の簡単な説明】

【図1】本発明の半導体集積装置の概念図。

【図2】従来の方法による外部バイパスコンデンサを使う回路図。

【図3】従来の電源ノイズ除去用チップ内蔵バイパスコンデンサの挿入位置を示す回路図。

【図4】本発明によるPMOSゲートコントロールダイオード(PGCD) 静電気保護素子とPMOSゲート膜バイパスコンデンサの組み合わせによる第1例回路図。

【図5】本発明によるNMOSゲートコントロールダイオード(NGCD) 静電気保護素子とNMOSゲート膜バイパスコンデンサの組み合わせによる第2例回路図。

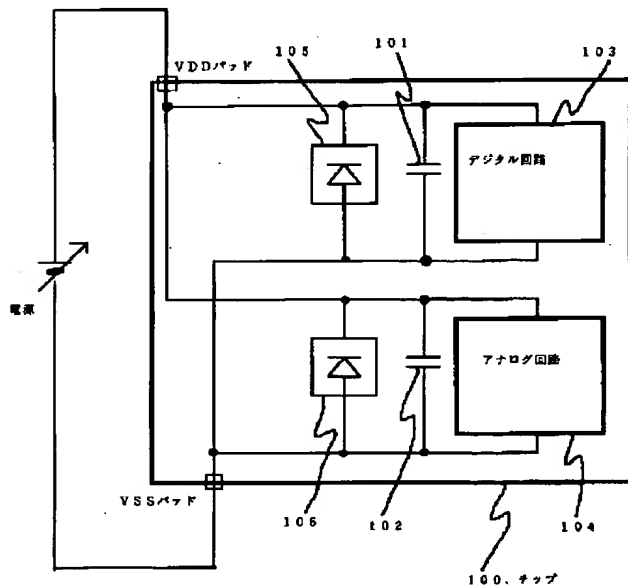
【図6】本発明の第3例の回路図。

【図7】本発明によるNPNバイポーラトランジスタ 静電気保護素子とPMOSゲート膜バイパスコンデンサの組み合わせによる第4例回路図。

【図8】本発明によるPNダイオード静電気保護素子とNMOSゲート膜バイパスコンデンサの組み合わせによる第5例回路図。

【図9】本発明による図8のPNダイオードのレイアウト平面図。

【図1】



【図10】一般的な配線層間膜により容量を形成した場合の断面図。

【図11】本発明の配線層によるバイパスコンデンサとGCDによる静電気保護素子を組み合わせせた第6例回路図。

【図12】本発明の静電気保護素子とバイパスコンデンサを組み合わせせた半導体集積装置に外部から静電気エネルギーがかかった時の静電気モデル図。

【符号の説明】

100... 半導体チップ

101... デジタル回路ブロック用バイパスコンデンサ

102... アナログ回路ブロック用バイパスコンデンサ

103... デジタル回路ブロック用

104... アナログ回路ブロック用

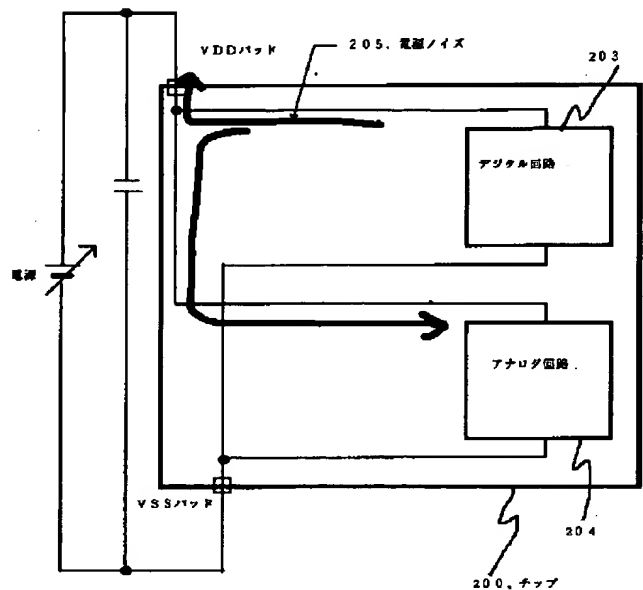
105... デジタル回路ブロック用静電気保護素子

106... アナログ回路ブロック用静電気保護素子

205... 電源ノイズ

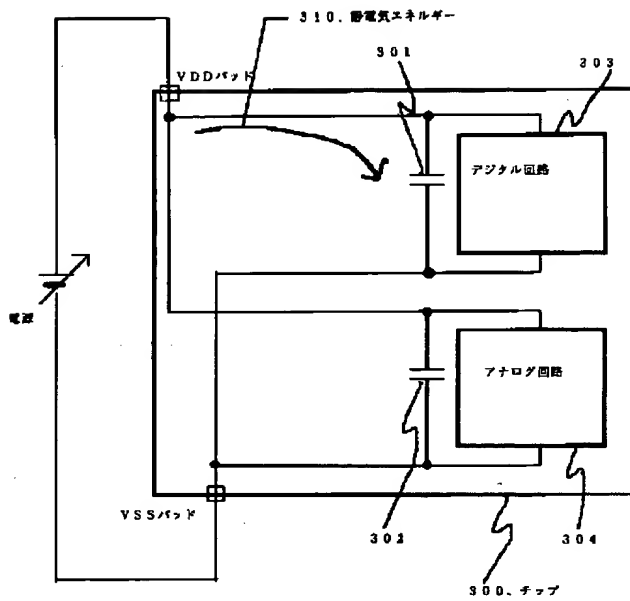
310... 静電気エネルギー

【図2】

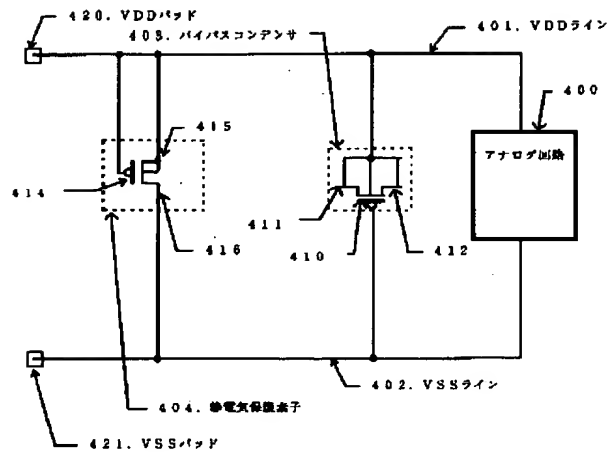




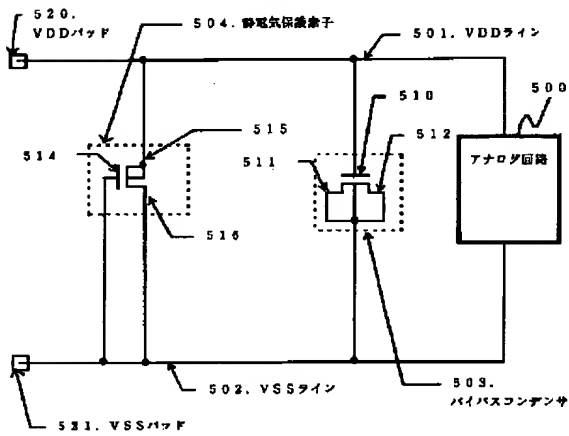
【図3】



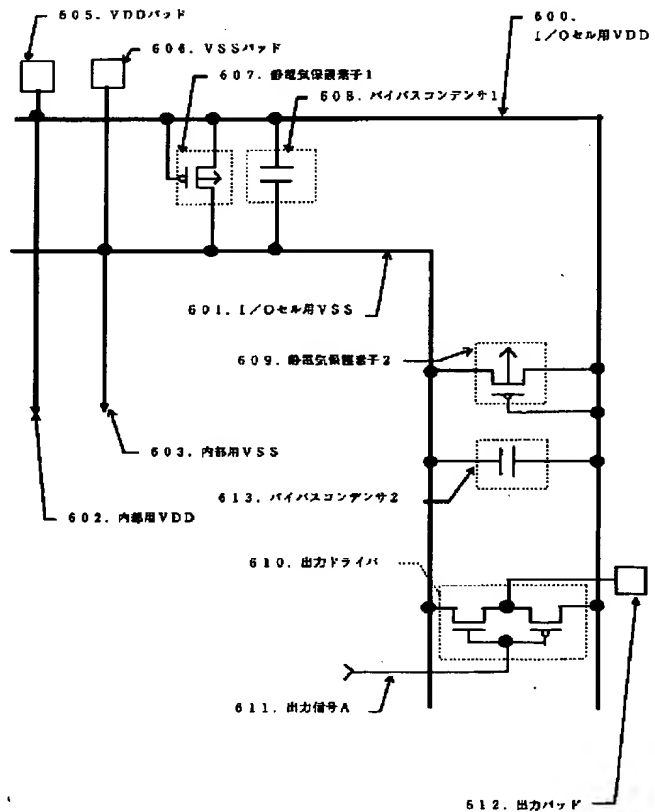
【図4】



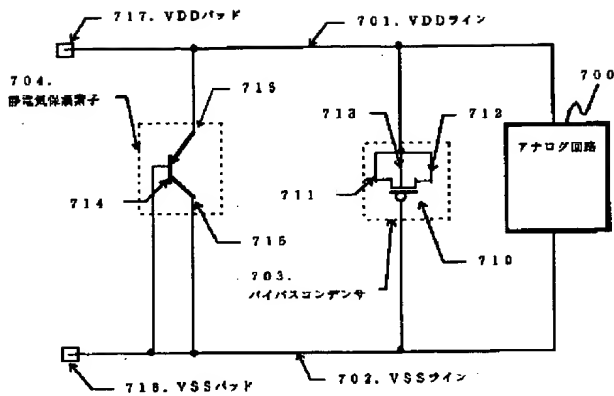
【図5】



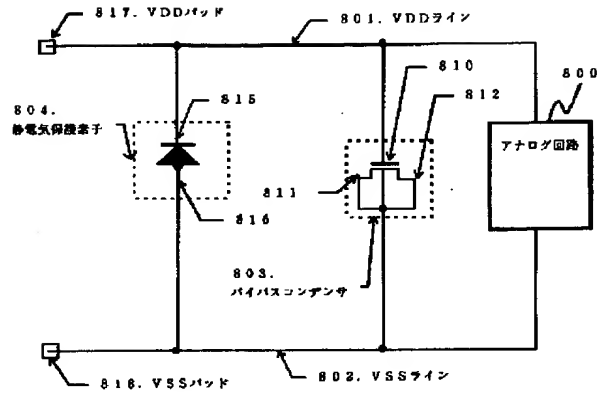
【図6】



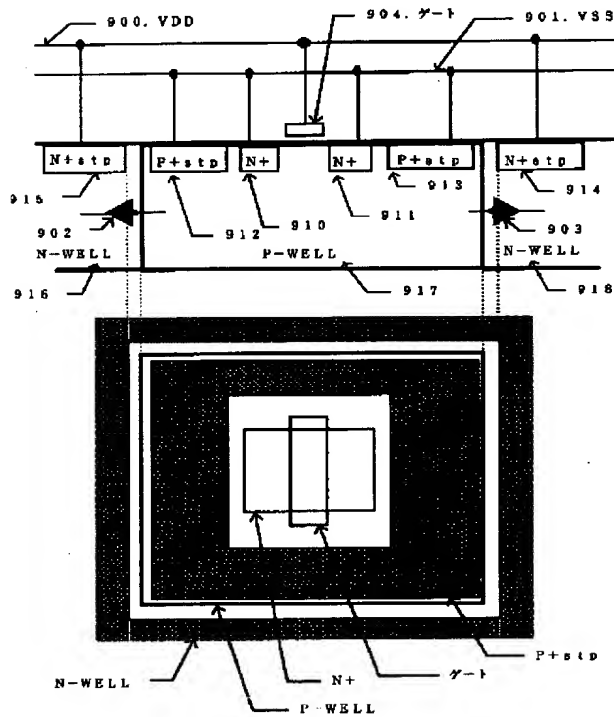
【図7】



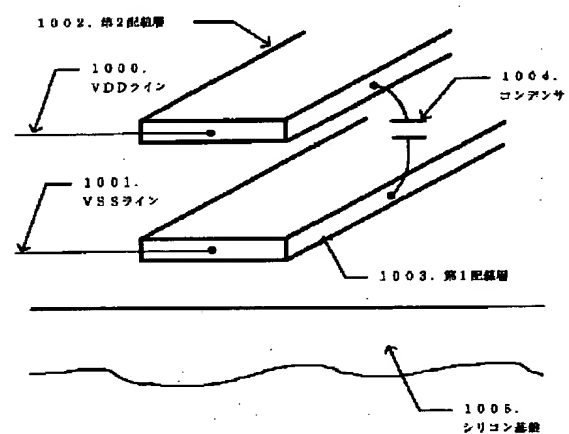
【図8】



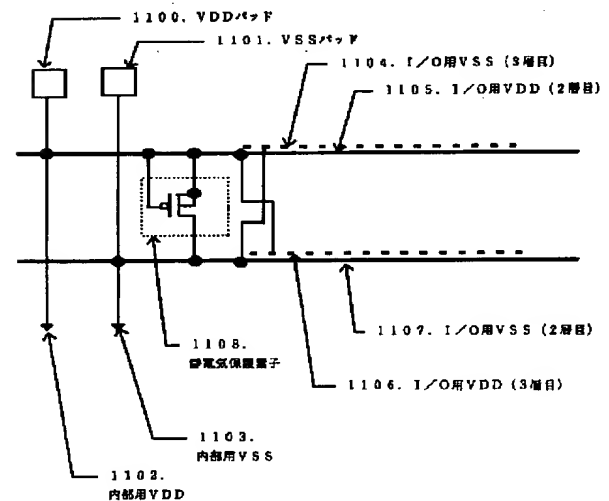
【図9】



【図10】



【図11】



【図 1 2】

